

Instituto Federal de Santa Catarina
Eletrônica Digital e Microcontroladores

Circuitos Sequenciais

— Prof. Saulo Popov Zambiasi —
saulopz@gmail.com



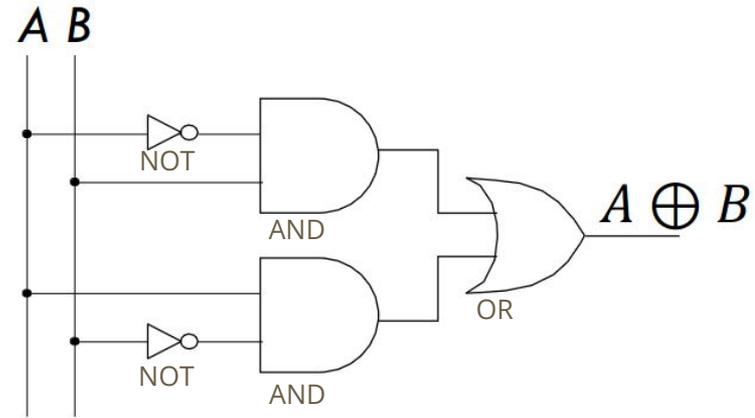
Circuitos Combinacionais vs. Sequenciais

Podem ser 2 tipos:

- Combinacionais ou
- Sequenciais

Circuitos Combinacionais:

- Valor da saída depende **apenas** da combinação dos **valores das entradas**.
- Não considera os estados anteriores.



Exemplo: circuito XOR = $\bar{A} \cdot B + \bar{B} \cdot A$



Circuitos Combinacionais vs. Sequenciais

Contudo, nem todos os projetos em sistemas digitais podem ser resolvidos com circuitos combinacionais.

Algumas vezes é necessário a informação de um ou mais estados anteriores e também da sequência anterior para se calcular a saída do circuito.

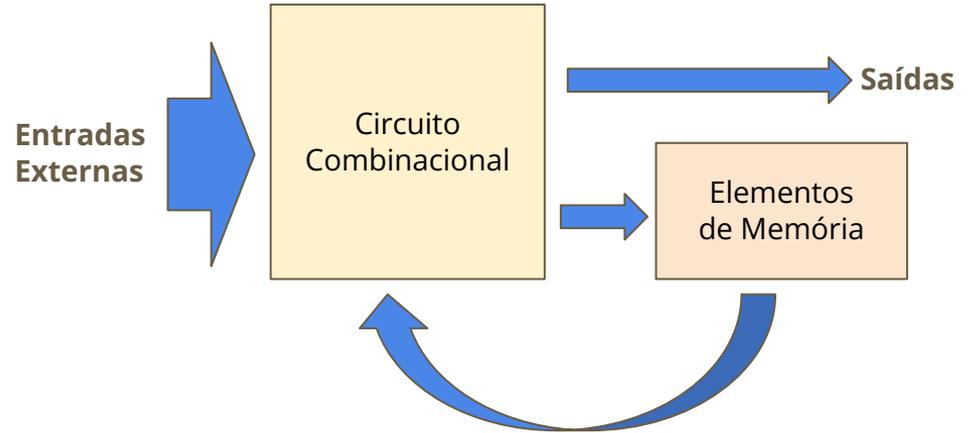
Exemplo: Contadores, somadores, etc.



Circuitos Combinacionais vs. Sequenciais

Circuitos Sequenciais:

- Valor da saída **depende** também da sequência das **entradas anteriores**.
- Composto por um **circuito combinacional** e **elementos de memória** (latches e flip-flops).





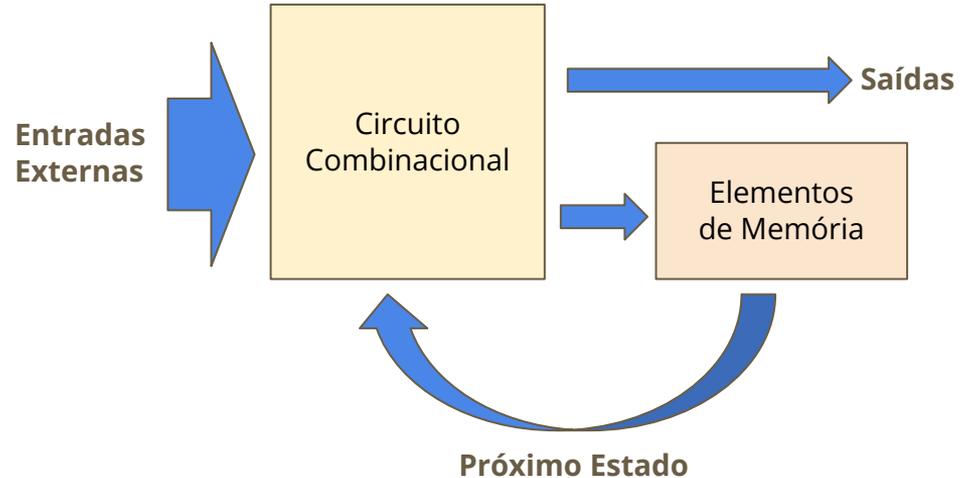
Composição de um Circuito Sequencial

Bloco de memória:

- armazena informações anteriores para definir o estado presente.
- tem como entrada o próximo estado.

Bloco combinacional:

- tem como entradas o estado presente e as entradas externas.
- responsável pela geração do próximo estado





Circuitos Sequenciais

O comportamento dos circuitos sequenciais pode ser assíncrono ou síncrono.

Assíncrono:

- Comportamento **depende da ordem que as entradas mudam.**
- Estado do circuito pode se alterar a qualquer tempo como consequência de uma mudança de suas entradas

Síncrono:

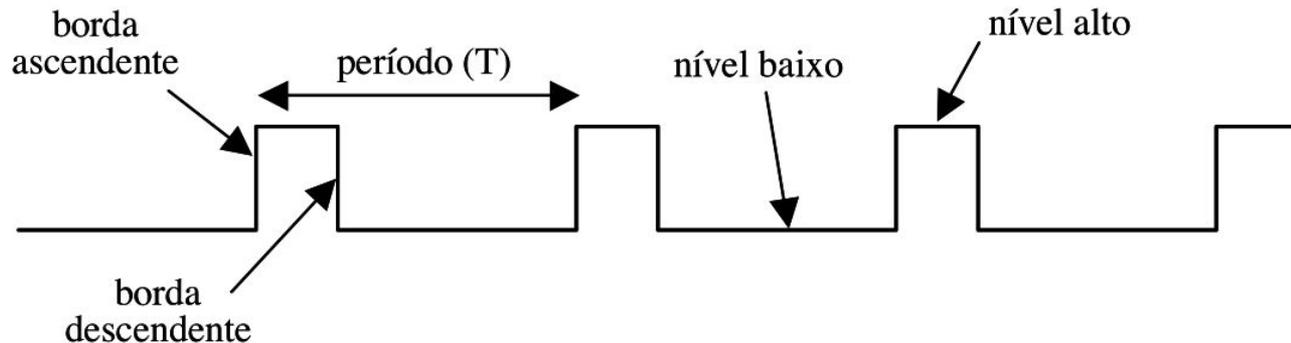
- **Utiliza** um sinal especial denominado de relógio (**clock**)
- O clock tem a função de **cadenciar** uma eventual **troca de estado.**



Circuitos Sequenciais Síncronos - Clock

O sinal do **relógio determina quando** os elementos de memória farão a **amostragem** dos valores nas suas entradas.

Dependendo do tipo de circuito utilizado como elemento de memória, a amostragem das entradas **pode ser** sincronizada pela **borda ascendente** ou pela **borda descendente** do relógio.





Circuitos Sequenciais Síncronos - flip-flop

Flip-flops:

- são os elementos de memória utilizados nos circuitos sequenciais.
- É um circuito digital que possui duas entradas e duas saídas
- É capaz de armazenar um bit de informação.



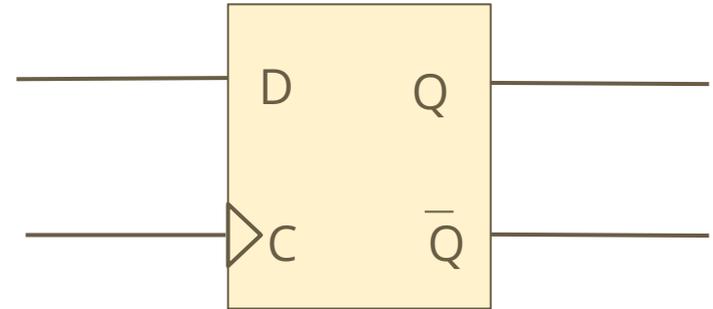
Circuitos Sequenciais Síncronos - flip-flop

Duas **entradas** não intercambiáveis:

- uma reservada ao **sinal de controle** (relógio)
- e outra recebe o **dado (bit) a ser armazenado**.

Saídas:

- dado armazenado (bit)
- e seu complemento





Flip-flops

Existem vários tipos de flip-flops diferenciados por:

- quantidade de entradas
- modo como as entradas afetam o estado do flip-flop

Os tipos mais **básicos** de flip-flops são denominados **latches**.



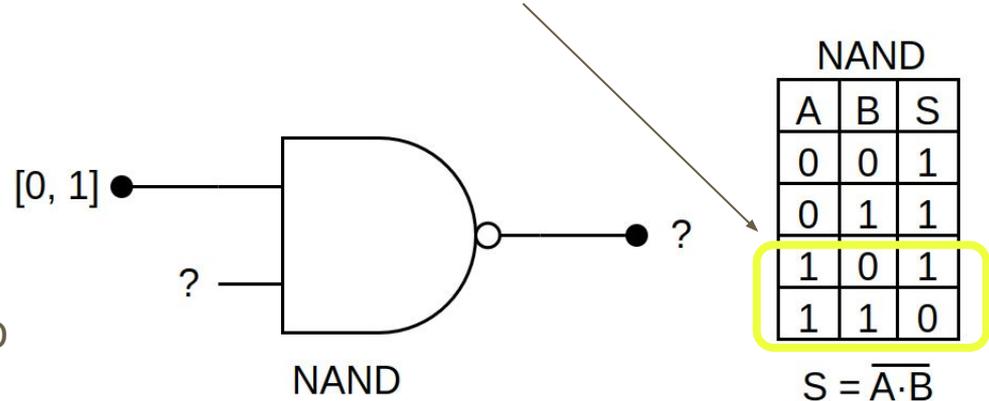
Veja bem! Ao se observar que...

Conforme visto na tabela verdade, basta uma das entradas estar em nível baixo (0) para termos uma saída em nível alto (1)

Então, se uma das entradas estiver em estado indefinido (*tristate*) e a outra entrada estiver em nível alto, a saída estará também **indefinida**.

Mas se aplicarmos nível baixo na única entrada que conseguimos comutar o nível lógico, a saída estará no nível alto.

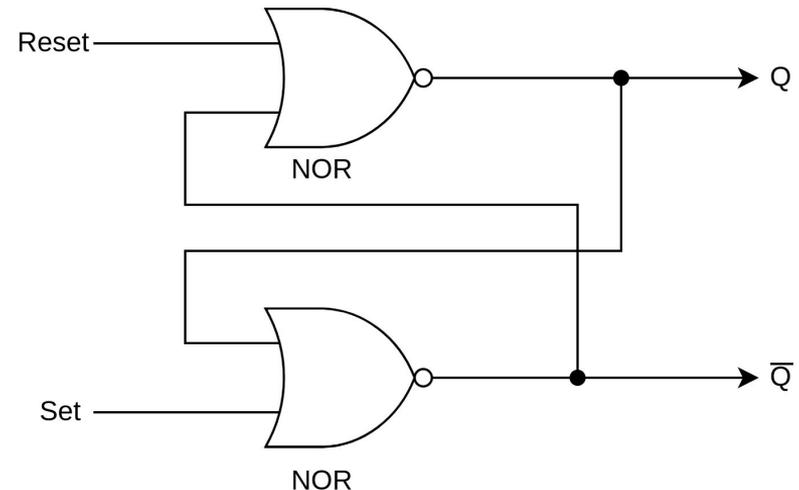
Isso permitiu a criação do primeiro circuito latch.





Latch RS

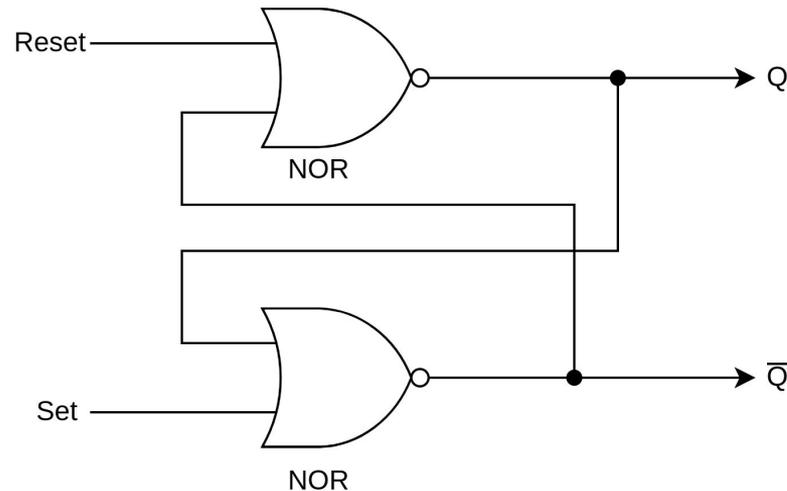
- O latch RS é um dos mais simples que existe.
- Esse é construído com **duas portas NOR**
- Seu nome é devido às duas entradas RS (**Reset e Set**)
- Reset e Set são responsáveis por alterar diretamente os estados das saídas
- O circuito lógico ao lado é composto por duas malhas de realimentação, o que permite que a saída anterior influencie diretamente na próxima saída.





Latch RS

Nesse tipo de latch, set e reset são ativadas em nível alto



R	S	Q_{t+1}	comentário
0	0	Q_t	mantém estado anterior
0	1	1	estado set
1	0	0	estado reset
1	1	-	proibido

NOR
A B C
0 0 1
0 1 0
1 0 0
1 1 0

NOTA: Se substituirmos as portas NOR por portas NAND, teremos um latch em que o set e reset são ativados em nível baixo.



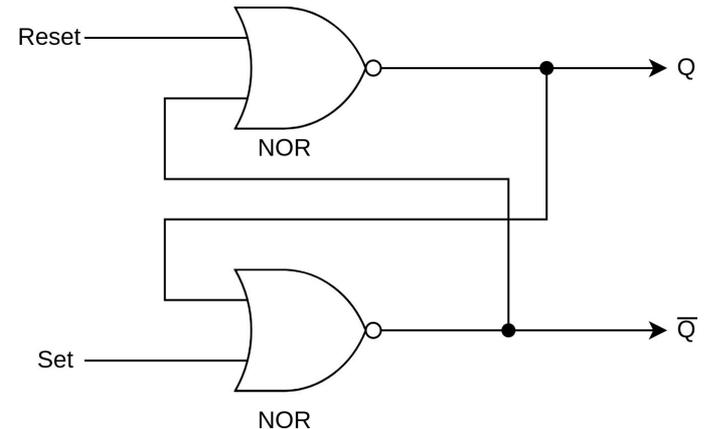
Latch RS

R	S	Q	\bar{Q}	ação
1	0	0	1	vai para estado reset
0	0	0	1	mantém estado reset (= estado anterior)
0	1	1	0	vai para estado set
0	0	1	0	mantém estado set (= estado anterior)
1	1	0	0	estado proibido

NOR
A B C
0 0 1
0 1 0
1 0 0
1 1 0

Vamos testar em algum simulador online?

- <https://logic.ly/demo/>
- <https://academo.org/demos/logic-gate-simulator/>
- <https://circuitverse.org/simulator>

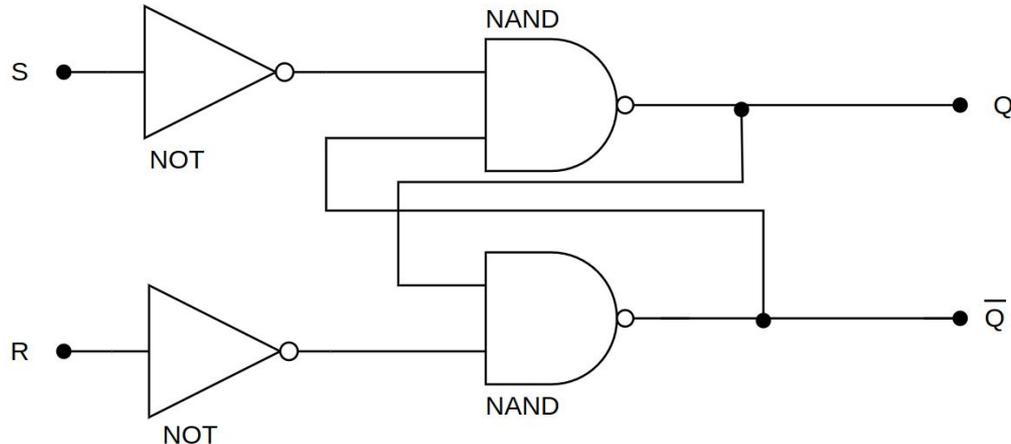




Latch RS - Outro tipo

Podemos também usar **duas portas NAND** para criar um latch RS.

Mas para que ele seja ativado no nível alto (1), precisamos colocar **inversores (NOT)** nas entradas Set e Reset.





Latch RS controlado

No tipo de **latch RS anterior**, o **usuário não tem controle sobre as entradas**.

Quando as **informações R e S** acessam o latch, elas são imediatamente **processadas sem nenhum tipo de controle**.

Para ter algum controle, o circuito do latch pode ser modificado, **adicionando uma entrada com a função de habilitar ou bloquear o latch**.

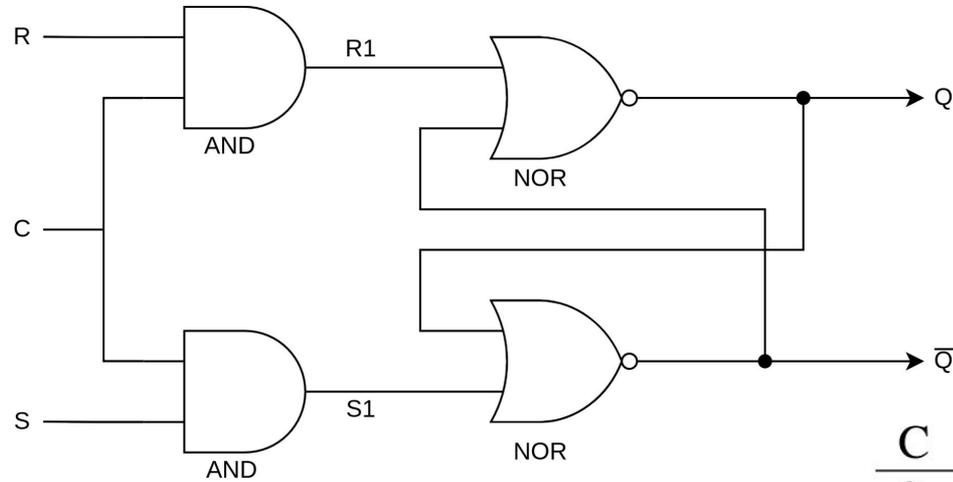
O latch RS controlado é um aprimoramento do latch RS

Ele é construído com **um latch RS e uma portas AND em cada entrada (Set e Reset)**

O Controler (C) também é visto como Enable, representado por E ou EN.



Latch RS controlado



C	R	S	Q_{t+1}	comentário
0	X	X	Q_t	mantém estado anterior
1	0	0	Q_t	mantém estado anterior
1	0	1	1	estado set
1	1	0	0	estado reset
1	1	1	-	proibido



Latch D

O latch RS síncrono não consegue evitar o estado de oscilação quando os atrasos de propagação forem iguais e ocorrer a transição de $R=S=1$ para $R=S=0$.

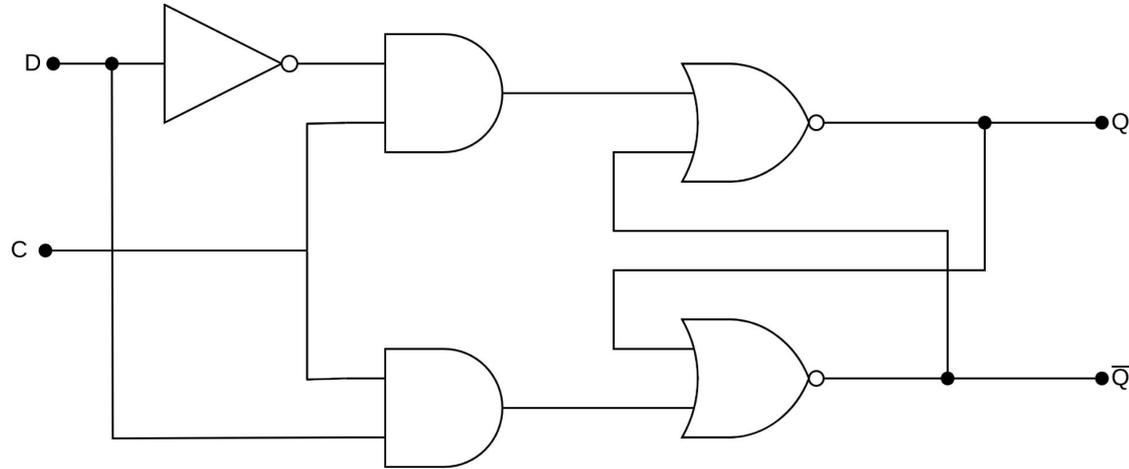
A necessidade de evitar a ocorrência do estado proibido dificulta o projeto de circuitos sequenciais com latches RS.

Colocando um inversor entre as entradas R e S, as mesmas serão complementares, fazendo com que o circuito funcione na região normal de operação.

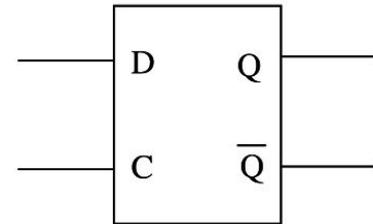
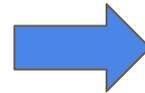
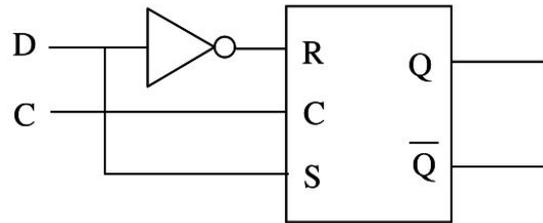
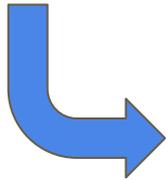
Tal circuito é conhecido com latch D (latch transparente).



Latch D



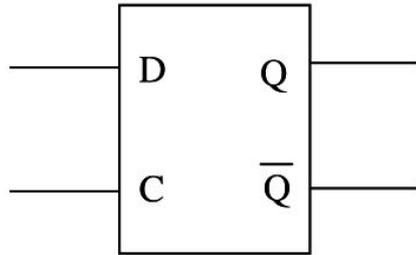
Nota: Usamos uma representação simplificada do Latch D para facilitar no desenho do projeto.





Latch D

Com o uso do latch D, evitamos o estado proibido.



C	D	Q_{t+1}	comentário
0	X	Q_t	mantém estado anterior
1	0	0	estado reset
1	1	1	estado set

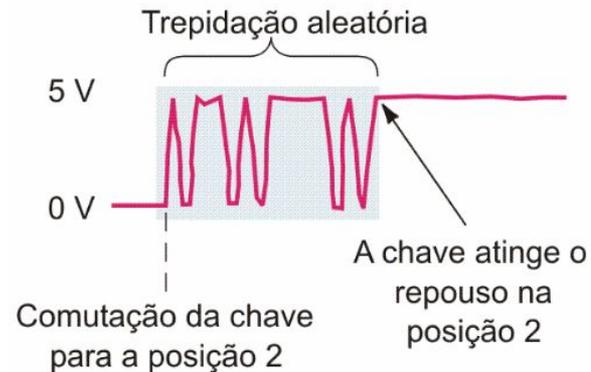
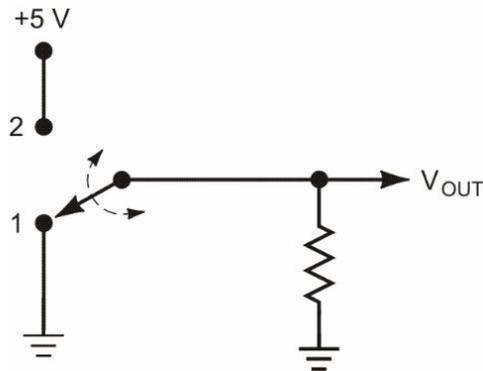
Nota: o D é de Data. É um buffer. Armazena o dado que você colocou no pino D.



Latch D - Aplicação

O fenômeno conhecido como trepidação de contato (*contact bounce*) torna praticamente impossível obter uma transição de tensão “limpa” com uma chave mecânica.

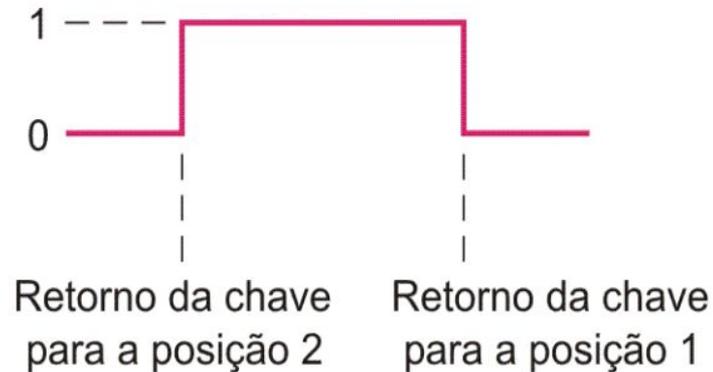
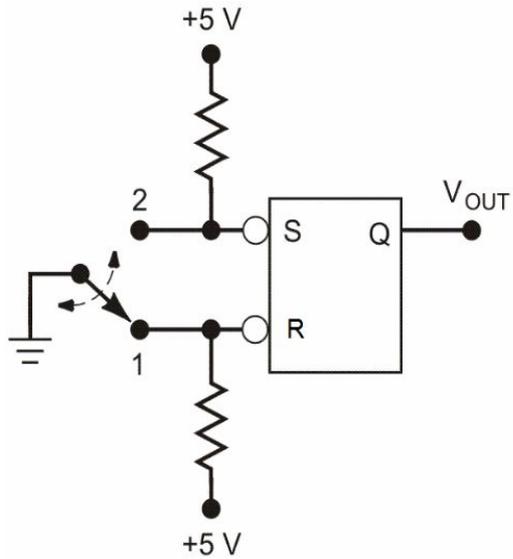
As múltiplas transições no sinal de saída geralmente não duram mais do que alguns poucos milissegundos, mas podem ser inaceitáveis em algumas aplicações.





Latch D - Aplicação

Para evitar que a trepidação de contato afete a saída pode-se utilizar um latch NAND.





Flip-flops

Latches controlados D e RS são ativados ou controlados pelo nível lógico do sinal de controle.

Ou seja, enquanto o sinal de controle estiver ativando o latch, eventuais variações das entradas D ou R e S serão percebidas pelo latch e este poderá mudar de estado.

Essa característica é particularmente imprópria para a construção de circuitos sequenciais síncronos, sendo que em tais circuitos qualquer troca de estado deve ocorrer de maneira sincronizada com o sinal de relógio.



Flip-flops

Os **flip-flops** são circuitos derivados dos latches, só que são **ativados** pela transição do **sinal de controle (borda)**.

Isso faz com que um flip-flop permaneça **ativado** apenas durante um intervalo de **tempo muito pequeno**, após a ocorrência de uma transição do sinal de controle.

Nesse caso, uma eventual troca de estado só pode ocorrer durante esse breve intervalo de tempo em que o flip-flop está ativado.

Entre duas transições sucessivas do mesmo tipo (ou subida ou descida) do sinal de controle, o flip-flop mantém o último estado adquirido.



Flip-flops

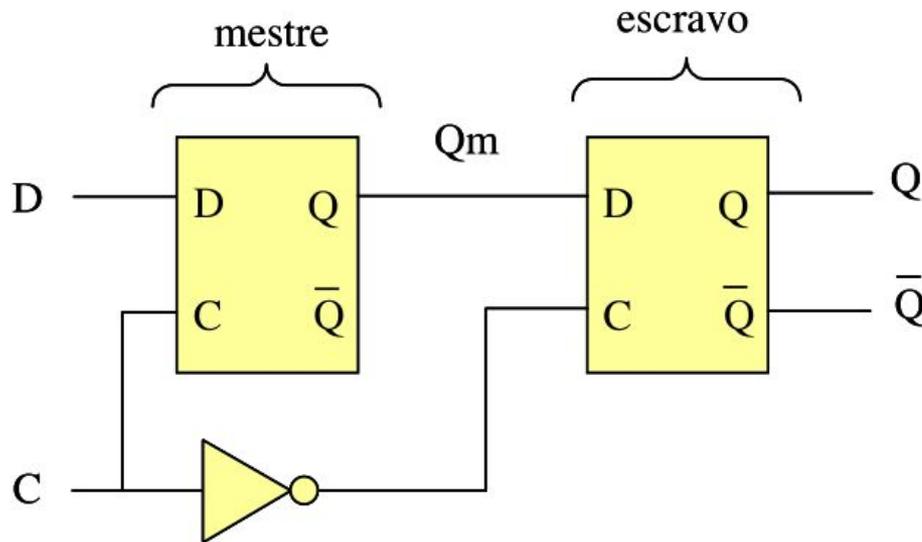
Dependendo de sua construção, um flip-flop pode ser disparado pela transição de subida ou pela transição de descida do sinal de controle.

Nesse caso, pode-se dizer que flip-flops são disparados pela borda (subida ou descida), enquanto que latches são sensíveis ao nível lógico (alto ou baixo).



Flip-flop D (mestre-escravo)

Composto por **dois latches D** conectados em cascata.



Enquanto o **controle vale 1**, o **mestre** está **ativado** e o **escravo** está mantendo seu **estado anterior**

Enquanto o **controle vale 0**, o **mestre** está mantendo seu **estado anterior** e o **escravo** está **ativado**.

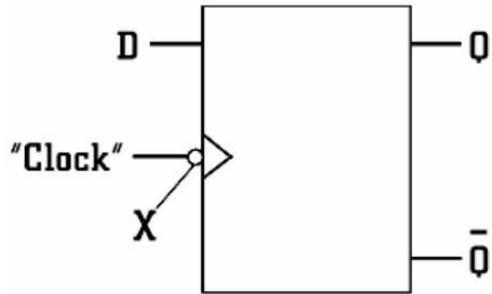
Como a entrada do escravo está conectada à saída do mestre, o último valor lido durante a ativação do mestre aparecerá na saída do escravo no semiperíodo seguinte.



Flip-flop D (mestre-escravo)

O flip-flop disparado pela borda fica ativado por um breve instante durante o qual as entradas podem (ou não) determinar a troca de seu estado.

Dependendo da maneira como é construído, o flip-flop será disparado ou somente pela borda ascendente ou somente pela borda descendente.



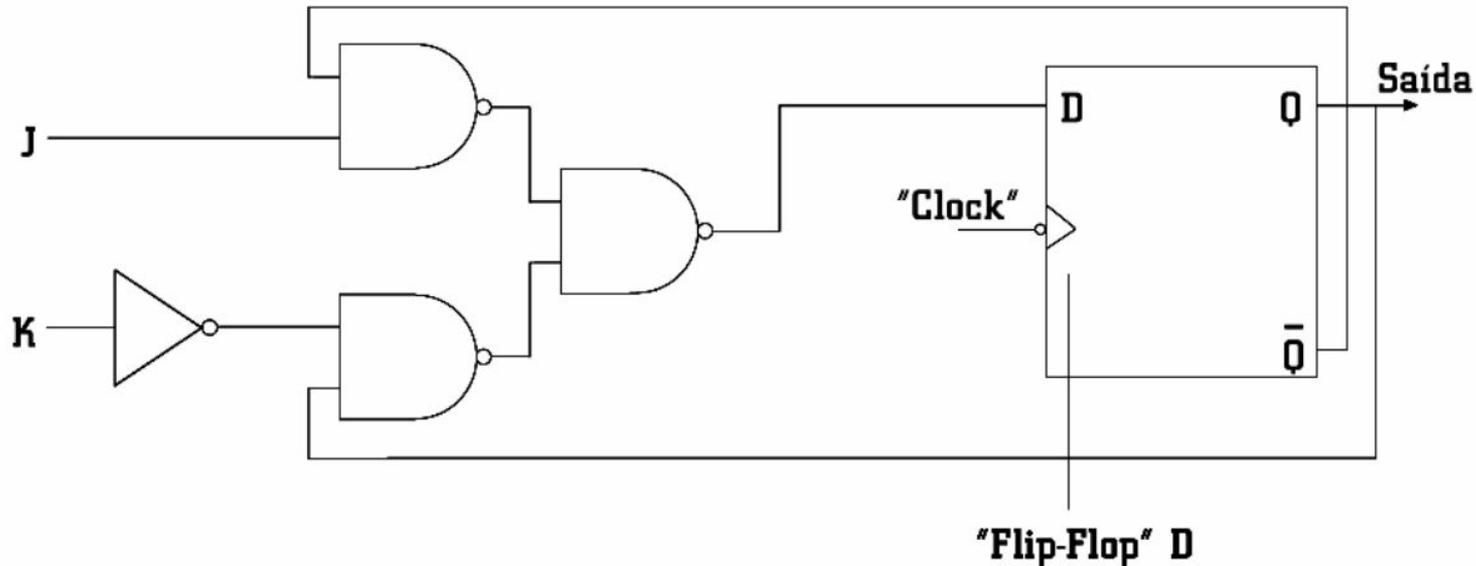
"Clock"	D	Q
↓	1	1
↓	0	0
1	X	Não muda
0	X	Não muda

Nota: As saídas só são atualizadas apenas na transição do sinal de clock, isto é, na transição de quando ele sai de 0 para 1, em qualquer outro momento a saída continua inalterada.



Flip-flop JK

O flip-flop JK ativado na transição de sinal clock (*edge-triggered*) é um dos mais importantes circuitos seqüenciais básicos.





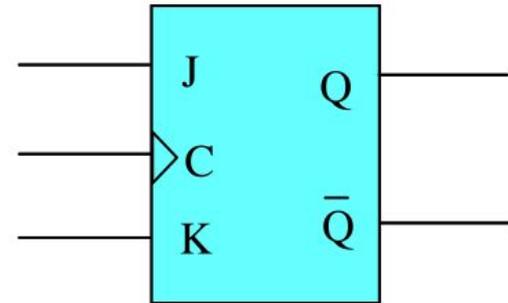
Flip-flop JK

Seu funcionamento assemelha-se ao do latch RS, exceto que a combinação de entradas ($J = 1; K = 1$) não leva a um estado proibido, mas sim à complementação do estado anterior (*toggle* - inversão).

Funcionamento do flip-flop JK

C	J	K	Q_{t+1}	comentário
$\neq \uparrow$	X	X	Q_t	mantém estado anterior
\uparrow	0	0	Q_t	mantém estado anterior
\uparrow	0	1	0	estado reset
\uparrow	1	0	1	estado set
\uparrow	1	1	$\overline{Q_t}$	complementa estado anterior

Símbolo do flip-flop JK disparado pela borda ascendente



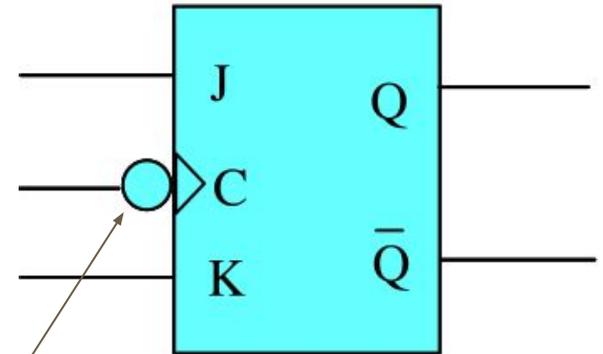


Flip-flop JK

O flip-flop JK disparado pela borda descendente é ativado quando o sinal de controle passa pela borda descendente.

C	J	K	Q_{t+1}	comentário
\neq	X	X	Q_t	mantém estado anterior
↓	0	0	Q_t	mantém estado anterior
↓	0	1	0	estado reset
↓	1	0	1	estado set
↓	1	1	$\overline{Q_t}$	complementa estado anterior

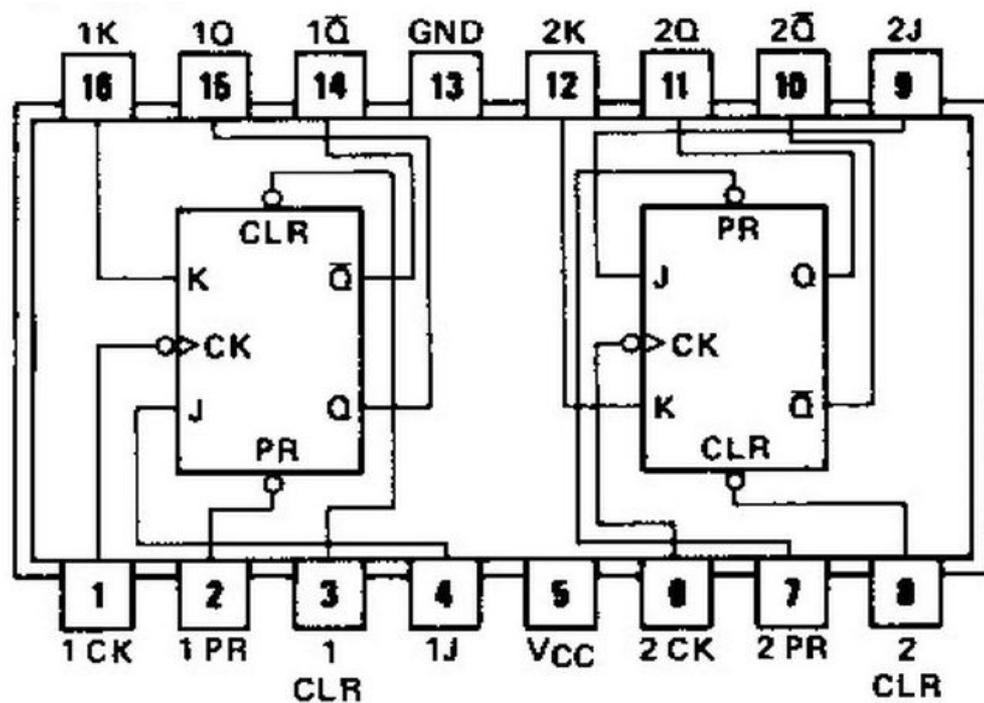
- **Toggle** - inversão do estado anterior
- Essa inversão dos dados nos permite fazer um contador (veremos em outra aula)



sinal da bolinha quando descendente.



Flip-flop JK - datasheet



7476 - Circuito com dois flip-flops J-K com Preset e Clear



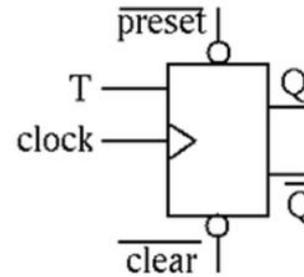
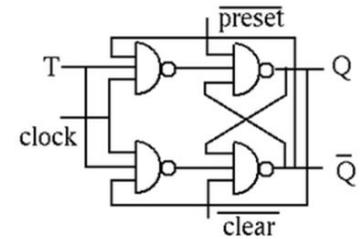
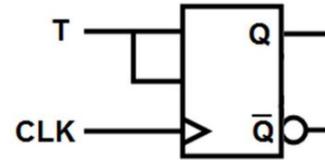
Flip-flop T (*Toogle*)

É um flip-flop JK com entradas curto-circuitadas para poder assumir apenas duas condições de entrada.

Um flip-flop T tem uma única entrada (T).

Quando $T=0$, o flip-flop está no modo “sem alteração”, similar a um flip-flop J-K com $J=K=0$

Quando $T=1$, o flip-flop está no modo “toggle”, similar a um flip-flop J-K com $J=K=1$.

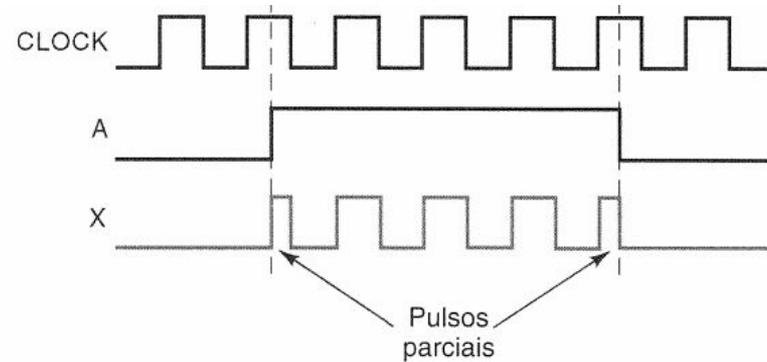
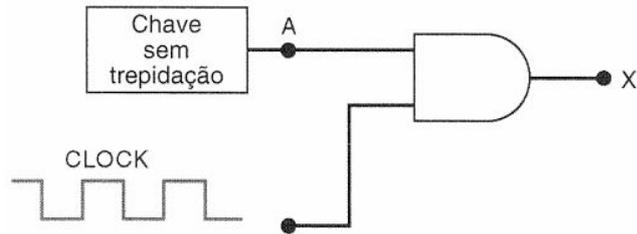


T	Q_{t+1}
0	Q_t
1	\overline{Q}_t



Flip-flop - aplicações

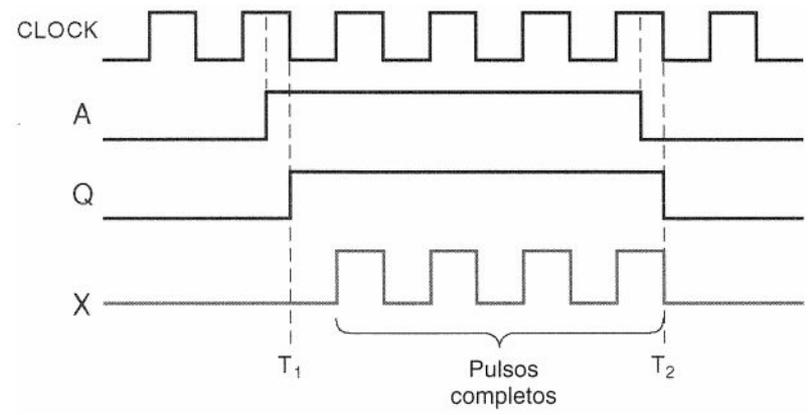
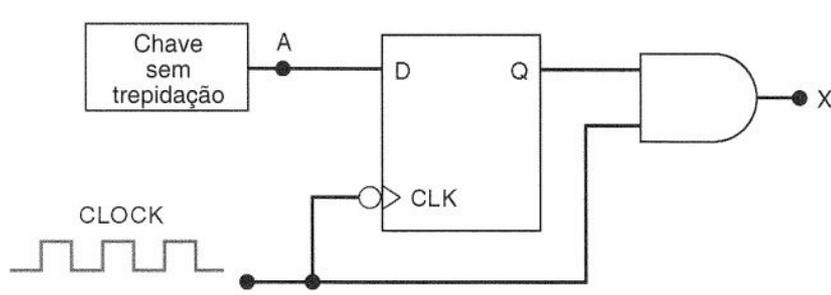
Sincronização: o sinal assíncrono A pode produzir pulsos parciais em X.





Flip-flop - aplicações

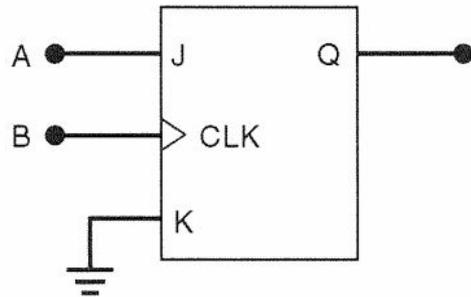
Sincronização: Um flip-flop D disparado por transição negativa é usado para sincronizar a habilitação da porta AND com a descida do clock.



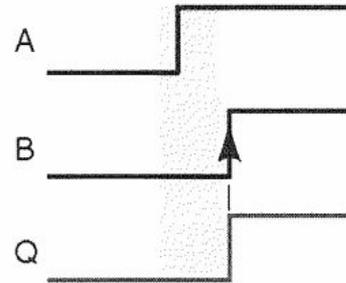


Flip-flop - aplicações

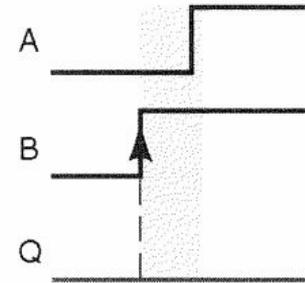
Detecção de uma Sequência de Entrada: um flip-flop JK é usado para responder a uma determinada sequência de entrada.



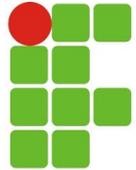
(a)



(b) A vai para ALTO antes de B



(c) B vai para ALTO antes de A



Instituto Federal de Santa Catarina
Eletrônica Digital e Microcontroladores

Circuitos Sequenciais

— Prof. Saulo Popov Zambiasi —
saulopz@gmail.com
